

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-074844

(43)Date of publication of application : 26.03.1993

(51)Int.Cl. H01L 21/60

(21)Application number : 03-234289

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 13.09.1991

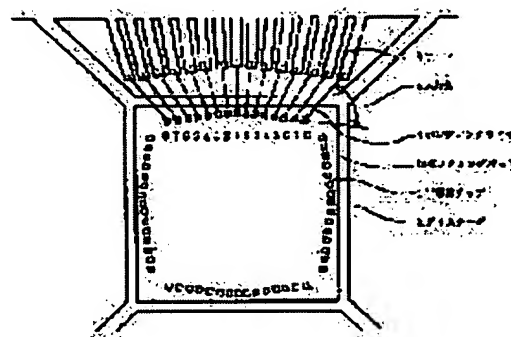
(72)Inventor : CHITO TOSHIHIKO

## (54) SEMICONDUCTOR CHIP

## (57)Abstract:

**PURPOSE:** To provide a semiconductor chip wherein a desired number of bonding pads can be arranged on a small-sized semiconductor chip by changing the layout of bonding pads simply and easily regarding the improvement of the layout of the bonding pads of the semiconductor chip.

**CONSTITUTION:** A semiconductor chip 1 wherein bonding pads 1a are formed at the periphery is constituted in the following manner: the bonding pads 1a are formed at a uniform pitch; and the semiconductor chip 1 is installed in parallel with a line which connects tips of leads 3 at a lead frame which is mounted on a die stage 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-74844

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.<sup>4</sup>

H 0 1 L 21/60

識別記号

3 0 1 N

庁内整理番号

6918-4M

FI

技術表示箇所

B 6918-4M

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-234289

(22)出願日

平成3年(1991)9月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 千藤 俊彦

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

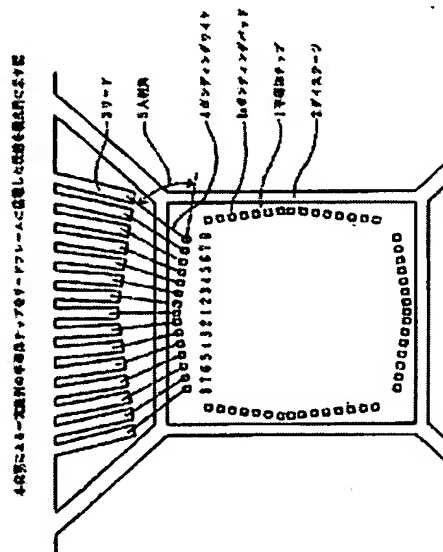
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 半導体チップ

(57)【要約】

【目的】 半導体チップのボンディングパッドのレイアウトの改良に関し、簡単且つ容易に行えるボンディングパッドのレイアウトの変更により小型の半導体チップに所望の数のボンディングパッドを配置することが可能となる半導体チップの提供を目的とする。

【構成】 周辺にボンディングパッド1aが設けられている半導体チップ1であって、このボンディングパッド1aが均一なピッチで設けられており、且つこの半導体チップ1をダイステージ2に搭載するリードフレームのリード3の先端を連結する線と平行して設けるように構成する。



【特許請求の範囲】

【請求項 1】 周辺にボンディングパッド(1a)が設けられている半導体チップ(1)であって、前記ボンディングパッド(1a)が均一なピッチで設けられており、且つ前記半導体チップ(1)をダイステージ(2)に搭載するリードフレームの隣接するリード(3)の先端を接続して連結する線と平行して設けられていることを特徴とする半導体チップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体チップのボンディングパッドのレイアウトの改良に関するものである。

【0002】 最近のASIC市場の需要は旺盛であり、高集積、高速、低消費電力、多ピンが要求が高まっている。多ピンについての顧客の要求は、小さなチップサイズで出来る限り多くの機能を持たせるように使用ゲート数を効率良く配置し、かつ出来る限り多数のピンを設けたいというものである。

【0003】 この傾向は小ゲート(1,000G~4,000G)のASICに多く、現状では3,000G~4,000Gの半導体チップを160ピンのQuad Flat Package(QFP160)や176ピンのSmall Quad Flat Package(SQFP176)に搭載したいとの要求が多くなっている。

【0004】 以上のような状況から、チップサイズの小さな半導体チップに出来る限り多数のボンディングパッドを設けることが可能な半導体チップが要望されている。

【0005】

【従来の技術】 従来の半導体チップについて図2により詳細に説明する。図2は従来の半導体チップをリードフレームに搭載した状態を模式的に示す図である。

【0006】 図に示すように多数のボンディングパッド11aを設けた半導体チップ11をリードフレームのダイステージ2に搭載し、リードフレームのリード3の先端部と半導体チップ11のボンディングパッド11aとをボンディングワイヤ4で接続している。

【0007】 この多数のボンディングワイヤ4が相互に接触するのを避けるための方法として、ボンディングパッドの間隔を大きくするボンディングワイヤの長さに3mm以下という制限を設けるリードのボンディング点と半導体チップのボンディングパッドの中心とを結ぶ線と、ボンディングパッドの中心を通る線とのなす角(以下、入射角と略称する)を30°以上にするという制限を設けている。

【0008】 中央部のボンディングパッド11aを配置する場合には上記の制限に抵触しないが、半導体チップ11の隣近傍にボンディングパッド11aを配置する場合には上記の制限に抵触するようになり、良好な状態でワイヤボンディングを行うことが困難になっており、の入射角の制限を満足させるためには半導体チップ11の隣近傍

のボンディングパッド11aの間隔を拡げて配置しなければならなくなり、間隔を拡げるのに応じて限られた範囲内に配置可能なボンディングパッド11aの数を減少させなければならない。

【0009】

【発明が解決しようとする課題】 以上説明した従来の半導体チップにおいては半導体チップの活性領域に高集積化し多機能化した素子を搭載することが可能となっても、良好なワイヤボンディングを行うための上記の三つの条件の内での入射角の条件を満足させるためには半導体チップ1の隣近傍のボンディングパッドの間隔を拡げて配置しなければならなくなり、間隔を拡げるのに応じて限られた範囲内に配置可能なボンディングパッドの数を減少させなければならないという問題点があり、どうしてもボンディングパッドの数を確保するためには半導体チップの外形寸法を大きくしてボンディングパッドを配置することが可能な範囲を増加させなければならない。半導体チップを小型化する傾向に逆行する結果になるという問題点があった。

【0010】 本発明は以上のような状況から、簡単且つ容易に行えるボンディングパッドのレイアウトの変更により小型の半導体チップに所望の数のボンディングパッドを配置することが可能となる半導体チップの提供を目的としたものである。

【0011】

【課題を解決するための手段】 本発明の半導体チップは、周辺にボンディングパッドが設けられている半導体チップであって、このボンディングパッドが均一なピッチで設けられており、且つこの半導体チップをダイステージに搭載するリードフレームのリードの先端を接続する線と平行して設けられているように構成する。

【0012】

【作用】 即ち本発明においては、ボンディングパッドが半導体チップの辺と平行に設けられておらず、この辺の中央に設けたボンディングパッドを起点として均一な間隔で、この半導体チップをダイステージに搭載するリードフレームのリードの先端を接続する線と平行して配置しているから、ボンディングパッドを配置することが可能な距離が増加するとともに、半導体チップの隣近傍のボンディングパッドと半導体チップの辺との距離がボンディングワイヤ長が3mm以内という制限範囲内において増加することにより、ボンディングパッドの間隔を拡げなくても入射角を30°以上にするという制限を満足させることが可能となり、ボンディングパッドの間隔が均一であることと、ボンディングパッドを配置する距離が増加することとの相乗作用により、従来の同寸法の半導体チップのボンディングパッドの数に比してより多くのボンディングパッドを配置することが可能となる。

【0013】

【実施例】 以下図1により本発明の一実施例の半導体チ

チップについて詳細に説明する。図1は本発明による一実施例の半導体チップをリードフレームに搭載した状態を模式的に示す図である。

【0014】図に示すように多数のボンディングパッド1aを設けた半導体チップ1をリードフレームのダイステージ2に搭載し、リードフレームのリード3の先端部と半導体チップ1のボンディングパッド1aとをボンディングワイヤ4で接続している。

【0015】本実施例においては、半導体チップ1の辺の中央に設けたボンディングパッド1aを起点として均一な間隔で、この半導体チップ1をダイステージ2に搭載するリードフレームのリード3の先端を連絡する線と平行して配置しているから、ボンディングパッド1aを配置することが可能な距離が増加するとともに、半導体チップ1の隣近傍のボンディングパッド1aと半導体チップ1の辺との距離が増加するので、ボンディングパッド1aの間隔を増加させなくても入射角を30°以上にするという制限を満足させることが可能となり、ボンディングパッド1aの間隔が均一であることと、ボンディングパッド1aを配置する距離が増加することとの相乗作用により、従

来の同寸法の半導体チップ1のボンディングパッド1aの数に比してより多くのボンディングパッド1aを配置することが可能となる。

【0016】

【発明の効果】以上の説明から明らかなように、本発明によれば極めて簡単なボンディングパッドのレイアウトの変更により、半導体チップの外形寸法を大きくすることなく配置可能なボンディングパッドの数を増加することが可能となる利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体チップの提供が可能である。

#### 【図面の簡単な説明】

【図1】 本発明による一実施例の半導体チップをリードフレームに搭載した状態を模式的に示す図。

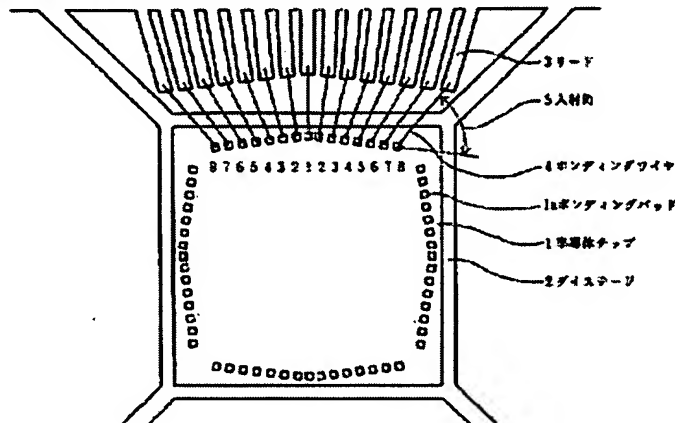
【図2】 従来の半導体チップをリードフレームに搭載した状態を模式的に示す図。

【符号の説明】

1は半導体チップ、1aはボンディングパッド、2はダイステージ、3はリード、4はボンディングワイヤ、5は入射角。

【図1】

本発明による一実施例の半導体チップをリードフレームに搭載した状態を模式的に示す図



【圖 2】

従来の平場はトップをワークフレームに固定した位置を模式的に示す図

